

BEST AVAILABLE COPY

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11003057

(43)Date of publication of application: 06.01.1999

(51)Int.Cl.

G09G 3/20
G02F 1/133
G09G 3/36

(21)Application number: 09152645

(71)Applicant:

CANON INC

(22)Date of filing: 10.06.1997

(72)Inventor:

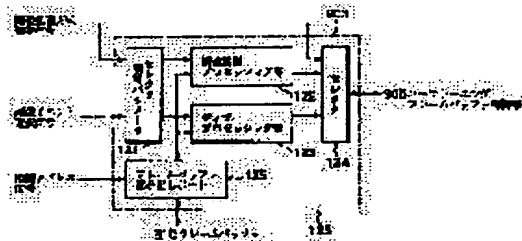
SUGANO HIDEO

(54) DEVICE AND METHOD FOR DISPLAY CONTROL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display control device and method capable improving visibility and color reproducibility in a display low in gradation performance.

SOLUTION: By discriminating contents of inputted image data, and based on the contents of the discriminated image data, the image data are subjected to pseudo intermediate processing by using either an error diffusion processing part or a dither processing part 123. Namely, assuming an image event as selected information, an arithmetic parameter in an intermediate processor is selected, and pseudo intermediate image data are generated according to the image event. And, the processed image data are outputted to a frame buffer 310.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)

[SEARCH](#)

[INDEX](#)

[DETAIL](#)

(11)特許出願公開番号

特開平11-3057

(43)公開日 平成11年(1999)1月6日

(51) Int.Cl.⁸

識別記号

FI

G O 9 G 3/20

G O 9 G 3/20

V

G 0 2 F 1/133

5 6 0

G 0 2 F 1/133

560

G O 9 G 3/36

G O 9 G 3/36

K

審査請求 未請求 請求項の数13 O L (全 20 頁)

(21)出願番号

特願平9-152645

(22) 出願目

平成9年(1997)6月10日

(71)出國人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 菅野 英雄

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

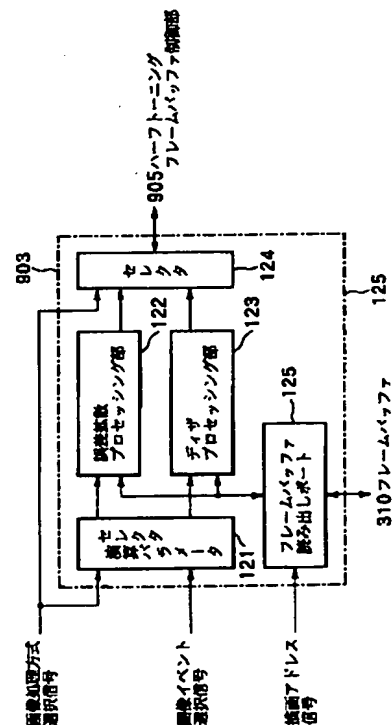
(74)代理人 弁理士 大塚 康德 (外2名)

(54) 【発明の名称】 表示制御装置及びその方法

(57) 【要約】

【課題】 階調性能の低いディスプレイにおいて、画像データの内容に応じて視認性と色再現性を向上することができる表示制御装置及びその方法を提供する。

【解決手段】 入力された画像データの内容を識別し、識別された画像データの内容に基づいて、誤差拡散プロセス部122あるいはディザプロセス部123のどちらかを用いて該画像データに疑似中間調処理を施す。そして、処理された画像データをフレームバッファ310へ出力する。



【特許請求の範囲】

【請求項 1】 入力された画像データに基づく画像の表示を制御する表示制御装置であって、

入力された画像データの内容を識別する識別手段と、
前記識別手段で識別された画像データの内容に基づく疑似中間調処理を該画像データに施す画像処理手段と、
前記画像処理手段で処理された画像データを表示部に出力する出力手段とを備えることを特徴とする表示制御装置。

【請求項 2】 前記識別手段は、少なくとも前記画像データの内容がテキストであるか自然画であるかを識別することを特徴とする請求項 1 に記載の表示制御装置。

【請求項 3】 前記画像処理手段は、画像データの内容と対応づけて、画像データの疑似中間調処理を実行する複数種類の疑似中間調処理手段を備え、
前記識別手段で識別された画像データの内容に対応する疑似中間調処理手段を前記複数種類の疑似中間調処理手段より選択し、その選択された疑似中間調処理手段を用いて該画像データに疑似中間調処理を施すことを特徴とする請求項 1 に記載の表示制御装置。

【請求項 4】 前記疑似中間調処理手段の疑似中間調処理方法は、少なくとも誤差拡散法、ディザ法を含むことを特徴とする請求項 1 に記載の表示制御装置。

【請求項 5】 前記誤差拡散法は、演算パラメータとして値が異なる複数の誤差拡散係数を有し、
前記ディザ法は、演算パラメータとして範囲が異なる複数のディザパターンを有することを特徴とする請求項 4 に記載の表示制御装置。

【請求項 6】 前記表示部は、強誘電性液晶ディスプレイであることを特徴とする請求項 1 に記載の表示制御装置。

【請求項 7】 入力された画像データに基づく画像の表示を制御する表示制御方法であって、
入力された画像データの内容を識別する識別工程と、
前記識別手段で識別された画像データの内容に基づく疑似中間調処理を該画像データに施す画像処理工程と、
前記画像処理工程で処理された画像データを表示部に出力する出力工程とを備えることを特徴とする表示制御方法。

【請求項 8】 前記識別工程は、少なくとも前記画像データの内容がテキストであるか自然画であるかを識別することを特徴とする請求項 7 に記載の表示制御方法。

【請求項 9】 前記画像処理工程は、前記識別工程で識別された画像データの内容に対応する疑似中間調処理工程を用いて該画像データに疑似中間調処理を施すことを特徴とする請求項 7 に記載の表示制御方法。

【請求項 10】 前記疑似中間調処理工程の疑似中間調処理方法は、少なくとも誤差拡散法、ディザ法を含むことを特徴とする請求項 7 に記載の表示制御方法。

【請求項 11】 前記誤差拡散法は、演算パラメータと

して値が異なる複数の誤差拡散係数を有し、

前記ディザ法は、演算パラメータとして範囲が異なる複数のディザパターンを有することを特徴とする請求項 10 に記載の表示制御方法。

【請求項 12】 前記表示部は、強誘電性液晶ディスプレイであることを特徴とする請求項 7 に記載の表示制御方法。

【請求項 13】 入力された画像データに基づく画像の表示を制御する表示制御のプログラムコードが格納されたコンピュータ可読メモリであって、

入力された画像データの内容を識別する識別工程のプログラムコードと、

前記識別手段で識別された画像データの内容に基づく疑似中間調処理を該画像データに施す画像処理工程のプログラムコードと、

前記画像処理工程で処理された画像データを表示部に出力する出力工程のプログラムコードとを備えることを特徴とするコンピュータ可読メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力された画像データに基づく画像の表示を制御する表示制御装置及びその方法に関するものである。

【0002】

【従来の技術】表示端末のディスプレイとして、現在、CRT が一般的である。一方、CRT に比べ低消費電力、省スペース等の特徴を有する液晶ディスプレイ、プラズマディスプレイ、EL ディスプレイ等のフラットディスプレイが実用化されてきている。CRT を含めこれらのディスプレイは、特にコンピュータ用ディスプレイとして大画面化、高精細化、高品位化が要求されるにつれ、駆動条件が厳しくなっている。例えば、動画スムージングのためにノンインタレース走査や、これに伴うフリッカレスのための高速フレームレートや、自然画表示のための高品位階調表示等での駆動条件である。

【0003】このようなディスプレイ性能進化の方法において、各種ディスプレイはそれぞれの特性を鑑みて、これに対応してきている。例えば、画素の透過量又は輝度を保存する特性、いわゆるメモリ性を有するディスプレイとして強誘電性液晶ディスプレイやプラズマディスプレイがある。特に、強誘電性液晶ディスプレイはそのメモリ性を利用して固有の表示制御方法がこれまでにいくつか提案されている。一つの表示制御方法としては、画像が変化したところだけを書き換える部分書き込み駆動による表示制御方法が提案されている。また、別の表示制御方法としては、低フレームレートにおいてもフリッカレスにするために n フィールド／フレームとする n 本インタレース駆動 ($n=2, 3, 4, \dots$) による表示制御方法が提案されている。更に、別の表示制御方法としては、現状では 2 値又は多くとも 16 値程度の強誘電液晶

ディスプレイの階調性能に対し、256値のフル階調表示するために、面積階調原理を利用した画像処理である疑似中間調処理による表示制御方法が提案されている。

【0004】このような強誘電性液晶ディスプレイの駆動・制御手段として、これまでに幾つか提案されている。以下、その具体的な駆動・制御手段であるアナログビデオインタフェースシステムとデジタルビデオインタフェースシステムについて説明していく。

①アナログビデオインタフェースシステム

アナログビデオインタフェースシステムは、例えば、ホストコンピュータから入力されたアナログビデオ信号をデジタルビデオデータに変換し、そのデジタルビデオデータに対し画像変化検知処理と画像処理を実行した後、ディスプレイに出力するものである。

【0005】以下、アナログビデオインタフェースシステムの構成について、図1を用いて説明する。図1は従来のアナログビデオインタフェースシステムの構成を示す図である。ホストコンピュータ101は、CRT用アナログビデオ信号をアナログビデオインタフェースシステム102に入力する。アナログビデオインタフェースシステム102に入力されたアナログビデオ信号は、まず、ビデオデジタイザ104に入力される。ビデオデジタイザ104は、ビデオアンプ、同期分離回路、PLL（位相同期ループシステム）回路、A/Dコンバータで構成され、アナログビデオ信号に同期したドットクロックを再生し、これをA/Dコンバータのサンプリングクロックにしてデジタル画像データを生成する。生成されたデジタル画像データは、ガンマ補正部105及び画像変化検知部110に入力される。

【0006】ガンマ補正部105は、高速メモリで構成され、デジタル画像データの色調がディスプレイ103の色調に対して疑似中間調の色調で近似されるように、ガンマ特性（輝度信号VS表示面輝度）を補正したデジタル画像データをルックアップテーブル方式で生成する。ガンマ補正されたデジタル画像データは、画像処理部106に入力される。

【0007】画像処理部106は、デジタル画像データのデータレートを落とすデマルチプレクサと、デジタル画像データの雑音データ成分を除去するノイズ処理部と、ディスプレイ103の表現範囲外色空間を含むアナログビデオ信号の色空間に対しディスプレイ103の色空間に合わせるための色空間クリップ部と、誤差拡散法によってデジタル画像データを2値化画像データに変換する2値化演算ハーフトナーから構成され、入力されたデジタル画像データから2値化画像データである疑似中間調画像データを生成する。生成された2値化画像データは、走査制御部107に入力される。

【0008】画像変化検知部110は、ビデオデジタイザ104から出力されるデジタル画像データの変化量と変化走査アドレスを検知する検知部と、画像事象を簡

易的に判断して、画像コード（シグネチャー）を発生する動き検知部と、その画像コード（シグネチャー）をフレーム格納するシグネチャーストアRAMから構成され、部分書き込み駆動やリフレッシュ駆動等の走査制御部107における走査制御モードを判断するための画像コードを生成する。生成された画像コードは、走査制御部107に入力される。

【0009】走査制御部107は、画像処理部106から入力された2値化画像データのライトモードフレームメモリ及びリードモードフレームメモリと、ライトモードフレームメモリに対して更新した2値化画像データを書き込む制御及びラインフォーマットからの選択走査アドレスに準じてリードモードフレームメモリから選択走査アドレスの2値化画像データをアクセス制御するフレームストアコントローラと、画像変化検知部110から入力された画像コードとCPU109からの走査制御モード命令に基づき選択走査ラインを決定し実際のディスプレイ103の選択走査アドレスを生成するラインディスプレイバッチャと、ラインディスプレイバッチャからの選択走査アドレスとフレームストアコントローラを介してアクセスした選択走査アドレスに対応する2値化画像データをディスプレイ通信に準じてデータフォーマット化するラインフォーマットから構成され、入力された2値化画像データに基づく2値化フレームメモリ制御と、入力された画像コードに基づく選択走査アドレス生成と、入力された2値化画像データをディスプレイ通信に準じた画像データに変換するデータフォーマット化を行う。データフォーマット化された画像データと、生成された選択走査アドレスは、ディスプレイ通信制御部108に入力される。

【0010】ディスプレイ通信制御部108は、ディスプレイI/Oポートであり、入力された画像データと選択走査アドレスと、CPU109からの走査制御モード命令を用いて、画像データの表示制御を所定の通信プロトコルに準じて実行する。CPU109は、アナログビデオインタフェース102の各種構成要素に対するパラメータの設定・変更の制御、画像コードに基づく走査制御モード命令の制御、ディスプレイ103との通信プロトコル制御等の各種制御を司る。

【0011】次に、デジタルビデオインタフェースシステムについて説明する。

②デジタルビデオインタフェースシステム

デジタルビデオインタフェースシステムは、一般に、ホストCPUに制御されて描画データを発生するグラフィックコントローラのデジタル画像データを入力し、そのデジタル画像データに対し画像変化検知処理と画像処理を実行した後、ディスプレイに出力するものである。

【0012】以下、デジタルビデオインタフェースシステムの構成について、図2を用いて説明する。図2は従来のデジタルビデオインタフェースシステムの構成を示

す図である。ホストバス212より描画データをデジタルビデオインタフェースシステム201に入力する。デジタルビデオインタフェースシステム201に入力された描画データは、まず、グラフィックスコントローラ204に入力される。グラフィックスコントローラ204は、ホストCPUバスインタフェースと描画演算部と、VRAMコントローラから構成され、ホストCPUからの描画命令に基づいて入力された描画データのビットマップ画像データを生成し、VRAM209をアクセスする。生成されたビットマップ画像データは、VRAM209及びガンマ補正部205に入力される。

【0013】VRAM209は、グラフィックスコントローラ204で生成されたビットマップ画像データを格納する。BIOS203はROMで構成され、グラフィックスコントローラ204の描画動作に依存するハードウェア制御情報が格納される。ガンマ補正部205は、メモリで構成され、ビットマップ画像データの色調がディスプレイ202の色調に対して疑似中間調の色調で近似されるように、ガンマ特性を補正したビットマップ画像データをルックアップテーブル方式で生成する。補正されたビットマップ画像データは、画像処理部206に入力される。

【0014】画像処理部206は、ディスプレイ202の表現範囲外色空間を含むアナログビデオ信号の色空間に対しディスプレイ202の色空間に合わせるための色空間クリップ部と、誤差拡散法によってビットマップ画像データを2値化画像データに変換する2値化演算ハードウェアーから構成され、ビットマップ画像データから2値化画像データである疑似中間調画像データを生成する。生成された2値化画像データは、走査制御部107に入力される。

【0015】画像変化検知部110は、グラフィックスコントローラ204のVRAM209へのライトモードアクセスを検知してビットマップ画像データの変換量と変化走査アドレスを生成するVRAMアクセス検知部と、グラフィックスコントローラ204の表示モード（解像度やカーソルやテキスト／グラフィックモード）を検知する表示モードモニタから構成され、変化走査アドレスと表示モードをCPU211へ伝える。また、走査制御部207に入力される。

【0016】走査制御部207は、CPU211により判断された選択走査個所に基づきグラフィックスコントローラ204に対し、選択走査アドレスのビットマップ画像データを要求する選択走査アドレス発生部と、その選択走査アドレスに対応する2値化画像データを格納するラインメモリと、選択走査アドレスに対応する2値化画像データをディスプレイ通信に準じた画像データに変換するデータフォーマット化するラインフォーマットから構成され、入力されたビットマップ画像データに基づく選択走査アドレス生成と、入力された表示モードに基づ

くラインメモリ制御と、入力された2値化画像データをディスプレイ通信に準じた画像データに変換するデータフォーマット化を行う。データフォーマット化された画像データと、生成された選択走査アドレスは、ディスプレイ通信制御部208に入力される。

【0017】ディスプレイ通信制御部208は、ディスプレイI/Oポートであり、入力された画像データと選択走査アドレスと、CPU211からの走査制御モード命令を用いて、画像データの表示制御を所定の通信プロトコルに準じて実行する。CPU211はデジタルビデオインタフェースシステム201の各種構成要素に対するパラメータの設定・変更の制御、変化走査アドレスと表示モードに基づく走査制御モード命令の制御、ディスプレイ202との通信プロトコル制御等の各種制御を司る。

【0018】以上説明したような、アナログビデオインタフェースシステムとデジタルビデオインタフェースシステムを、入力された画像信号の形態に適合させて、固有の画像変化検知処理と画像処理を実行し、ディスプレイに表示するための2値化画像データを生成している。

【0019】

【課題を解決するための手段】しかしながら、上記従来のディスプレイの駆動・制御手段における画像処理では、2値又は多くとも16値程度の階調性能の低いディスプレイに対して疑似中間調表示した場合、例えば、背景色が中間色でその上に上書きされた文字・線分も中間色で両者のコントラスト差が小さいとき、疑似中間調で色再現した文字・線分はエッジがボケて背景に対する輪郭がはっきりしなくなるため、視認性が劣る。

【0020】本発明は上記の問題点を鑑みてなされたものであり、階調性能の低いディスプレイにおいて、画像データの内容に応じて視認性と色再現性を向上することができる表示制御装置及びその方法を提供することを目的とする。

【0021】

【課題を解決するための手段】上記の目的を達成するための本発明による表示制御装置は以下の構成を備える。即ち、入力された画像データに基づく画像の表示を制御する表示制御装置であって、入力された画像データの内容を識別する識別手段と、前記識別手段で識別された画像データの内容に基づく疑似中間調処理を該画像データに施す画像処理手段と、前記画像処理手段で処理された画像データを表示部に出力する出力手段とを備える。

【0022】また、好ましくは、前記識別手段は、少なくとも前記画像データの内容がテキストであるか自然画であるかを識別する。また、好ましくは、前記画像処理手段は、画像データの内容と対応づけて、画像データの疑似中間調処理を実行する複数種類の疑似中間調処理手段を備え、前記識別手段で識別された画像データの内容に対応する疑似中間調処理手段を前記複数種類の疑似中

間調処理手段より選択し、その選択された疑似中間調処理手段を用いて該画像データに疑似中間調処理を施す。

【0023】また、好ましくは、前記疑似中間調処理手段の疑似中間調処理方法は、少なくとも誤差拡散法、ディザ法を含む。また、好ましくは、前記誤差拡散法は、演算パラメータとして値が異なる複数の誤差拡散係数を有し、前記ディザ法は、演算パラメータとして範囲が異なる複数のディザパターンを有する。

【0024】また、好ましくは、前記表示部は、強誘電性液晶ディスプレイである。上記の目的を達成するための本発明による表示制御方法は以下の構成を備える。即ち、入力された画像データに基づく画像の表示を制御する表示制御方法であって、入力された画像データの内容を識別する識別工程と、前記識別手段で識別された画像データの内容に基づく疑似中間調処理を該画像データに施す画像処理工程と、前記画像処理工程で処理された画像データを表示部に出力する出力工程とを備える。

【0025】上記の目的を達成するための本発明によるコンピュータ可読メモリは以下の構成を備える。即ち、入力された画像データに基づく画像の表示を制御する表示制御のプログラムコードが格納されたコンピュータ可読メモリであって、入力された画像データの内容を識別する識別工程のプログラムコードと、前記識別手段で識別された画像データの内容に基づく疑似中間調処理を該画像データに施す画像処理工程のプログラムコードと、前記画像処理工程で処理された画像データを表示部に出力する出力工程のプログラムコードとを備えることを特徴とする。

【0026】

【発明の実施の形態】以下、図面を参照して本発明の好適な実施形態について説明する。図3は本発明が適用されるクライアント・サーバ型表示端末装置（以下、ディスプレイサーバと呼ぶ）の構成を示すブロック図である。特に、本実施形態ではディスプレイサーバが適用できるXウィンドウシステム（米マサチューセッツ工科大学（MIT）とDEC社が共同開発した一般に標準とされているウィンドウシステム）を例にとって説明している。

【0027】LAN301は、ホストコンピュータや他の端末装置が接続されているローカルエリアネットワークである。このLAN301にLANインタフェース302を介してディスプレイサーバを接続し、ホストコンピュータと通信する。LANインタフェース302は、LAN301に対して所定の電気仕様（信号レベルやスピード）に準じて、ディスプレイサーバへのデータ入出力のI/Oポートとして機能する。

【0028】セットアップメモリ303は、起動時と終了時の処理プログラムを格納したメモリであり、ROMで構成される。起動時においては、キーボード307、マウス306等の周辺装置の設定、LANインタフェー

ス302の設定、ディスプレイ314の起動時画面の表示の設定等のディスプレイサーバにおけるシステム環境設定を行う。終了時においては、LAN301との切り離しや、ディスプレイサーバの各種構成要素のデータ退避等のディスプレイサーバにおけるシステムシャットダウン処理を行う。

【0029】フォントメモリ304は、文字フォントデータを格納するメモリであり、ROMで構成される。シリアル通信IF305は、周辺装置とのシリアル通信するインタフェースであり、ここではマウス306、キーボード307とのインタフェースとして機能する。サーバメモリ308は、メインメモリ315の一部として機能するものであるが、本実施形態では説明上、メインメモリ315と別に示している。

【0030】尚、ディスプレイサーバの機能は、ホストコンピュータで実行されるアプリケーション（以下、クライアントと呼ぶ）から送られるメッセージ（以下、リクエストと呼ぶ）を解釈し、ディスプレイサーバのハードウェアに依存する処理、いわゆる図形表示処理、ウィンドウ処理、マウス・キーボードによる入力処理と、マウス・キーボードから入力されたメッセージ（以下、イベントと呼ぶ）をクライアントへ伝える処理を実行する。また、クライアントとディスプレイサーバ間でのリクエストとイベントの通信手順である通信プロトコル制御を行う。このディスプレイサーバは、ディスプレイサーバの起動時のシステム環境設定において、LAN301上のホストコンピュータからダウンロードされ、サーバメモリ308に格納される。

【0031】次に、ディスプレイサーバの機能構成について、図4を用いて説明する。図4は本実施形態のディスプレイサーバの機能構成を示す図である。図4に示すように、ディスプレイサーバは、ディスプレイサーバのハードウェアに依存しない部分であるデバイスインディペンデント401と、直接、ハードウェアに依存する部分であるデバイスディペンデント402の2つの要素から構成されている。そして、ディスプレイサーバ固有のハードウェアや制御を意識しないクライアントからのリクエストを処理する場合は、まず、デバイスインディペンデント401でリクエストを解釈し、これを受けてデバイスディペンデント402でディスプレイサーバが認識できるように処理する。

【0032】一方、ディスプレイサーバからのイベントを処理する場合は、デバイスディペンデント402でイベントを解釈し、これを受けてデバイスインディペンデント401でクライアントが認識できるように処理する。これらリクエストやイベントに対して実行するディスプレイサーバの処理は、デバイスディペンデント402を通して、CPU312で実行される。

【0033】尚、本実施形態では、例えば、ディスプレイサーバとしてXウィンドウシステム用のサーバである

Xサーバを移植しているものとする。次に、クライアントとディスプレイサーバ間の通信制御に用いられる通信プロトコルの動作について説明する。この通信プロトコルは、ヘッダと可変長のパラメータで構成された可変長パケットデータとなっている。尚、本実施形態で用いる通信プロトコルは、Xウィンドウシステム用の通信プロトコルであるXプロトコルに準じたものであり、4 byteのヘッダを含むストリーム形式の可変長パケットデータとなっている。

【0034】以下、可変長パケットデータの構成について、図5を用いて説明する。図5は本実施形態の可変長パケットデータの構成を示す図である。図5において、機能コード501はクライアントが使用できる最もローレベルなインタフェースの関数コードであり、1 byteから構成される。データバイト502は、機能コード501によって使用されるデータであり、1 byteから構成される。リクエスト数503は、機能コード501の引数の数であり、2 byteから構成される。パラメータ504は、機能コード501に引き渡されるデータであり、可変長byteから構成される。

【0035】ここで、クライアントを実行した時のホストコンピュータ（クライアント）とディスプレイサーバ（サーバ）間のやり取りを簡単に説明する。

- ・まず初めに、クライアントとディスプレイサーバ間の通信リンクを行うためのイベントが、ディスプレイサーバからクライアントに送られる。

↓

- ・クライアントはディスプレイサーバへウィンドウ作成のリクエストを送る。

【0036】

↓

- ・クライアントから図形や文字等の描画に関するリクエストがディスプレイサーバに送られる。

↓

- ・ディスプレイサーバでイベント発生時は、イベントをクライアントへ送る。

【0037】

↓

- ・クライアントを終了する時は、クライアントから通信リンクを解除するリクエストをディスプレイサーバへ送り、ディスプレイサーバはこのリクエストを受け取って処理終了時点で通信リンクを解除する。

そして、このクライアントとディスプレイサーバ間のリクエストやイベントのやり取りが、上述の通信プロトコルに基づいて実行される。また、ディスプレイサーバでは、サーバメモリ308に記憶されているプログラムに基づいてCPU312がサーバ処理（リクエストやイベントに対する処理）を実行する。更に、画像情報に係わるサーバ処理で用いられる描画演算データは、CPU312とラスタライズ部309との間でやり取りされる。

この描画演算データについて、図6を用いて説明する。

【0038】図6は本実施形態の描画演算データの構成を示す図である。図6に示すように描画演算データは、画像イベント603（線、文字、色、ウィンドウ、ビットマップイメージ等の各種画像）とその画像イベント603の描画アドレス604からなる画像コード601と、表示画像データに展開したビットアドレス605とビットデータ606からなるピクセルデータ602との2つの要素を有する。そして、描画演算データは、画像コード601をピクセルデータ602のヘッダとする構成からなる。

【0039】次に、ラスタライズ部309の詳細な構成について、図7を用いて説明する。図7は本実施形態のラスタライズ部の詳細な構成を示すブロック図である。図7に示すように、ラスタライズ部309は、入出力制御部701、フレームバッファ制御部702で構成される。入出力制御部701は、描画演算データを画像コード601とピクセルデータ602に振り分けて、それぞれディスプレイIF311とフレームバッファ制御部702に分配する。また、CPU312がフレームバッファ310のピクセルデータ602を参照する時は、フレームバッファ制御部702を通して、ピクセルデータ602を読み出すように出力制御する。

【0040】フレームバッファ制御部702は、ピクセルデータ602を受け取る。次に、受け取ったピクセルデータ602のビットアドレス605とビットデータ606に基づいて、そのピクセルデータ602が表示画面に対応するビットマップデータとなるように、以下に説明する処理を行う。即ち、フレームバッファ310へピクセルデータ602の書き込みと、指定ビットアドレスに準じたフレームバッファ110からピクセルデータ602の読み出しと、フレームバッファ310からディスプレイIF311へラスタ走査的なピクセルデータ602の転送を行う。

【0041】フレームバッファ310は、ラスタライズ部309を通して、ピクセルデータ602を1フレーム分格納するメモリである。また、ディスプレイIF311へラスタ走査的にビットマップデータを転送する機能を有する。尚、本実施形態のフレームバッファ310は、1280×1024ピクセルのRプレーン、Gプレーン、Bプレーンを備え、各プレーンは8 bitの深さを有している。

【0042】ディスプレイIF（インタフェース）311は、ディスプレイ314固有の駆動方法である部分書き換え制御、疑似中間調表示制御、データ通信制御等の制御をするためのインタフェースである。また、ディスプレイ314に対する画像変化検知機能と画像処理機能と走査制御機能とディスプレイ通信機能を備える。次に、ディスプレイIF311の詳細な構成について、図8を用いて説明する。

【0043】図8は本実施形態のディスプレイIFの詳細な構成を示すブロック図である。図8において、画像変化検知部802は、ラスタライズ部309を通して画像コード601を入力し、その時点におけるディスプレイ314上の表示状態に相当する画像コード601群をストアする。尚、画像コード601群の更新は、フレームバッファ310のピクセルデータの更新と完全に同期して動作する。

【0044】画像処理部803は、フレームバッファ310からピクセルデータ602をラスタ走査的に入力し、画像処理してハーフトニングピクセルデータ（疑似中間調画像データ）を発生する。画像処理部803は、画像処理方式、演算パラメータを複数備え、画像変化検知部802にストアされている画像イベント603と描画アドレス604に基づき、画像処理に用いる画像処理方式及び演算パラメータを選択する。

【0045】走査制御部804は、複数の部分走査方式や全面走査方式を備え、画像変化検知部802にストアされている画像イベント603と描画アドレス604に基づき、走査に用いる走査方式を選択し、また、画像変化に応じて選択的部分走査や全面リフレッシュ走査を実行するための走査制御を行う。ディスプレイ通信制御部805は、所定のディスプレイ通信プロトコルに準じて、ディスプレイ314と通信するためのインタフェースである。また、動作モードデータ（解像度、色数、表示スピード、通信方式、ディスプレイ状態モニタ等のディスプレイ314における各種情報を示すデータ）を受信したり、画像データ、走査アドレスデータのデータフォーマット化、そして、ディスプレイ114との通信制御を行う。

【0046】CPU801は、ローカルCPUバス806を通して、ディスプレイIF311の各種構成要素の制御を司る。次に、ディスプレイIF311の各種構成要素の詳細な構成について、図9を用いて説明する。図9は本実施形態のディスプレイIFの各種構成要素の詳細な構成を示す図である。

【0047】図9において、画像変化検知部802は、画像コードバッファ制御部901と画像コードバッファ902で構成される。画像コードバッファ制御部901は、画像コードバッファ902に対し、画像コード601の書き込み／読み出しの制御を行う。画像コードバッファ902は、画像コード601を256個分、つまり、画像コードに含まれる画像イベント603の発生回数（画像更新回数）256回数分の画像コード601をストアできる記憶容量を備える。そして、フレームバッファ310の更新に同期して画像コード601が、その画像コード601に含まれる画像イベント603の発生順に書き込まれていく。また、画像コード601の読み出しは、走査制御部804と画像処理部803の動作アルゴリズムに依存し、任意の順番での読み出しが可能で

ある。しかし、標準的には、画像コード601が書き込まれた順に読み出される。尚、フレームバッファ310が更新され、かつ256回以上の画像コード601のストアが発生した場合は、これ以上画像コード601をストアできないので、古い画像コード601順に画像コード601がフレームバッファ310より捨てられていく。

【0048】次に、画像コードバッファ902の詳細な動作について、図10を用いて説明する。図10は本実施形態の画像コードバッファの詳細な動作を示す図である。図10において、1回目の画像コード（画像イベント1）が画像コードバッファ902に書き込まれると、その直後にその画像コード（画像イベント1）が画像処理部803と走査制御部804へ読み出される。2回目の画像コード（画像イベント2）が発生すると、1回目の画像コード（画像イベント1）が1段シフトされ、画像コードバッファ902の先頭に2回目の画像コード（画像イベント2）がストアされる。尚、画像処理部803または走査制御部804が画像コード601を参照している場合（つまり、フレームバッファ310の画像更新に対し、ディスプレイ314の表示スピードが遅い場合）、引き続き1回目の画像コード（画像イベント1）の読み出しがアクティブとなる。

【0049】次に、2回目の画像コード（画像イベント2）の読み出しがアクティブとなり、3回目の画像コード（画像イベント3）が画像コードバッファ902の先頭に書き込まれる。このような動作が繰り返され、256回を越える画像コードの書き込み以降は、1回目の画像コード→2回目の画像コード→…の順に画像コードが捨てられいく。

【0050】次に、画像処理部803の詳細な構成について説明する。画像処理部803は、中間調プロセッシングモード制御部903、中間調プロセッサ904、ハーフトニングフレームバッファ制御部905、ハーフトニングフレームバッファ906で構成される。中間調プロセッシングモード制御部903は、画像コードバッファ902から画像コード601を読み込んで、画像イベント603と描画アドレス604を認識する。そして、認識した画像イベント603と描画アドレス604に基づいて、画像処理方式と演算パラメータを選択し、その選択した画像処理方式と演算パラメータ中間調プロセッサ904へ設する。

【0051】尚、本実施形態の画像処理方式としては、誤差拡散法とディザ法の2通りを備え、それぞれの方式には2種類の演算パラメータが備えられている。誤差拡散法における演算パラメータは、誤差拡散係数がテキスト／自然画のそれぞれに適した2種類の演算パラメータとなっている。また、ディザ法における演算パラメータは、ディザパターンがテキスト／自然画のそれぞれに適した2種類の演算パラメータとなっている。

【0052】次に、誤差拡散法とディザ法における演算パラメータについて、図11を用いて説明する。図11は本実施形態の画像処理方式における演算パラメータを説明するための図である。まず、誤差拡散法における演算パラメータについて説明する。

【0053】誤差拡散法は、例えば、図11aに示すように、注目画素*の誤差を6つの周辺絵素（絵素=R画素+G画素+B画素の組）A、B、C、D、E、Fに分配するアルゴリズムを用いた画像処理を行うものである。また、各周辺絵素内のa、b、c、d、e、fは、注目画素*の誤差を拡散する比率を示す誤差拡散係数であり、本実施形態では、テキストと自然画とで図11bのように設定されている。

【0054】尚、一般に、誤差拡散法は、注目画素*の誤差をより遠くの周辺絵素にまで拡散するほど滑らかなグレースケールを表現し、逆に近い周辺絵素に大きな比率で注目画素*の誤差を拡散するほど荒いグレースケールを表現するという特性を示す。そこで、このような特性を利用して、本実施形態では、画像イベントの内容（テキスト/自然画）に応じた誤差拡散係数を設定している。即ち、自然画では、より忠実な色再現ができるように、つまり、6つの絵素A～F全てに注目画素*の誤差が拡散されるような誤差拡散係数を設定している。また、テキストでは、色再現性が若干劣化するが、よりコントラストを得られるように（周辺絵素への相関を小さくして単純4値化（本実施形態のディスプレイ314は4階調/絵素より）に近付けられるように）、つまり、注目画素*の誤差の拡散比率が隣接周辺絵素に対し大きくなるような誤差拡散係数を設定している。

【0055】次にディザ法における演算パラメータについて説明する。ディザ法は、一般的に、ベイヤ型ディザパターンを用いた画像処理を行う。また、一般に、ディザ法は、用いるディザパターンが大きいほど滑らかなグレースケールを表現でき、逆にディザパターンが小さいほど疑似輪郭等の規則性パターンを表現できるという特性を示す。

【0056】そこで、このような特性を利用して、本実施形態では、画像イベントの内容（テキスト/自然画）に応じたディザパターンを設定している。即ち、自然画では、より忠実な色再現ができるように、8×8ディザパターンを設定している。また、テキストでは、色再現性が若干劣化するが、よりコントラストを得られるように（周辺絵素との相関範囲を小さくして単純4値化に近付けられるように）、4×4ディザパターンを設定している。

【0057】次に、本実施形態における2つの画像処理方式の選択方法について述べる。一般的に、画質の静特性に関し、誤差拡散法とディザ法の各画像処理方式では、ディスプレイのディスプレイ性能、解像度と色数により、その優劣が相対的に変化するといわれている。誤

差拡散法では、解像度が粗くても比較的色彩再現性が高いので、解像度が細くないディスプレイに有効である。これに対し、ディザ法では、誤差拡散法よりも解像度依存性が高いので、同じ解像度で比較するとグレースケール等で疑似輪郭が生じ易い。また、画質の動特性に関しては、誤差拡散法では、一部の画像変化により誤差がその周辺に伝搬して、微妙ではあるが画像変化部の周辺までもが変化するという現象が生じる。これに対し、ディザ法では、このような現象は生じない。

【0058】以上説明した誤差拡散法とディザ法の特性を考慮して、中間調プロセッシングモード制御部903は、画像イベントの内容に応じて演算パラメータを選択・制御し、画像イベントの内容とディスプレイ314の表示性能に基づいて、画像処理方式を選択・制御する。尚、本実施形態のディスプレイ314は、解像度1280×1024、色数64色/絵素であるため、1280×1024表示のクライアントに対しては、疑似的に色再現する上で解像度依存性のより少ない誤差拡散法を用いる。

【0059】中間調プロセッサ904は、フレームバッファ310からラスタ走査的にピクセルデータ602を読み込む。そして、中間調プロセッシングモード制御部905で設定される画像処理方式と演算パラメータに基づいて、読み込んだピクセルデータ602に画像処理を施しハーフトニングピクセルデータを生成する。次に、中間調プロセッサ904の詳細な構成について、図12を用いて説明する。

【0060】図12は本実施形態の中間調プロセッサの詳細な構成を示す図である。図12に示すように、中間調プロセッサは、演算パラメータセレクト121、誤差拡散プロセッシング部122、ディザプロセッシング部123、セレクト124、フレームバッファ読み出しポート125で構成される。演算パラメータセレクト121は、画像処理方式の演算パラメータを格納し、中間調プロセッシングモード制御部903からの画像処理方式選択信号により、誤差拡散法/ディザ法のどちらかの画像処理方式を選択する。また、画像イベント選択信号により、画像イベントの内容をテキスト/自然画のどちらかに選択する。そして、選択された画像処理方式と演算パラメータは、その内容に基づいて誤差拡散プロセッシング部122、ディザプロセッシング部103のどちらかに入力される。具体的には、画像処理方式選択信号により、誤差拡散プロセッシング部122、ディザプロセッシング部103のどちらか一方を動作有効に選択する。そして、選択されたプロセッシング部によってハーフトニングピクセルデータを生成する。

【0061】次に、誤差拡散プロセッシング部122による画像処理で用いられる演算式について、図13を用いて説明する。図13は本実施形態の誤差拡散プロセッシング部による演算を説明するための図である。図13

において、まず、注目画素*の依存誤差SUM*として、

$$SUM* = ak6/8 + bk5/8 + ck1/8 + dk2/8 + ek3/8 + fk4/8 + PData$$

を演算する。尚、k1~k6は各画素の4値化誤差、a/

注目画素の4値化： $SUM* < Th1 \rightarrow$ レベル0

$Th1 \leq SUM* < Th2 \rightarrow$ レベル1

$Th2 \leq SUM* < Th3 \rightarrow$ レベル2

$Th3 \leq SUM* \rightarrow$ レベル3

尚、誤差拡散プロセッシング部122における演算スピードは、約25MHzレート/絵素である。また、1フレーム分の画像更新は約50msecを必要として、フレーム更新レートは約20Hzとなる。

【0063】一方、ディザプロセッシング部123による画像処理は、ディザパターンの各画素の重み係数を4値化の閾値として、各画素毎の割り当てられた重み係数と注目画素のビットデータ値を比較して4値化する。次に、ハーフトニングフレームバッファ制御部925の詳細な構成について、図14を用いて説明する。

【0064】図14は本実施形態のハーフトニングフレームバッファ制御部の詳細な構成を示す図である。図14に示すように、ハーフトニングフレームバッファ制御925は、リード/ライト制御部141、シリアル転送制御部142で構成される。リード/ライト制御部141は、中間調プロセッサ904で発生するハーフトニングピクセルデータをハーフトニングフレームバッファ906に対してアクセスするためのアドレッシングとデータバス入出力の制御を行う。シリアルデータ転送制御部142は、走査制御部804からの走査アドレス信号で指定される1ライン分のハーフトニングピクセルデータをハーフトニングフレームバッファ906に対して読み出し要求し、シリアルデータ化して走査制御部804へ転送する。

【0065】尚、ハーフトニングフレームバッファ906に対する書き込み/読み出し動作とシリアルデータ転送動作は、非同期で行われる。次に、ハーフトニングフレームバッファ906の詳細な構成について、図15を用いて説明する。図15は本実施形態のハーフトニングフレームバッファの詳細な構成を示す図である。

【0066】図15に示すように、ハーフトニングフレームバッファ906は、本実施形態においては、RGB各色2bit深さ、1280×1024プレーン3面で構成される。また、入出力ポートとして、書き込み/読み出しを行うリード/ライトポートと、行アドレス指定で、1ライン1280×2のデータ列をシリアルに読み出すシリアルアウトポートを備える。

【0067】そして、リード/ライトポートを通して、中間調プロセッサ904で発生したハーフトニングピクセルデータのやり取りをパラレルで行う。また、シリアルアウトポートを通して、走査制御部804から指定

8~f/8は誤差分配比、PDataは注目画素*のビットデータ値である。

【0062】また、閾値Th1~Th3とSUM*を比較することで、レベル0~レベル3のいずれかに決定し、注目画素*を4値化する。

される走査アドレス（行アドレス）上のハーフトニングピクセルデータ列を出力する。このような2つの入出力ポートを備えることにより、上述した非同期で発生する読み出し/書き込み動作とシリアルデータ転送動作に対して、2つの独立した動作を可能にしている。

【0068】ここで、1280×1024×2のビットマッピングは、ディスプレイ314の走査アドレスが1024に、アドレス情報が1280にそれぞれ1対1に対応する。次に、ハーフトニングフレームバッファ906の入出力ポートへのアクセスフォーマットについて、図16を用いて説明する。

【0069】図16は本実施形態のハーフトニングフレームバッファの入出力ポートへのアクセスフォーマットを示す図である。図16において、リード/ライトポートへのアクセスフォーマットは、各RGBにおいて、ピクセルアドレス11bitと4値化ピクセルデータD0、D1の2bitが1組となって構成される。ピクセルアドレスは、前半に行アドレス、後半に列アドレスが構成されている。また、シリアルアウトポートへのアクセスフォーマットは、走査アドレス10bitと、各RGBの4値化ピクセルデータD0とD1を順に並べ、1画素目から1280×2画素目までの4値化ピクセルデータのシリアル列が1組となって構成される。

【0070】次に、走査制御部804の詳細な構成について説明する。走査制御部804は、ハーフピクセルデータアクセス部907、走査アドレス発生部908、走査オーダニング部909で構成される。走査オーダニング部909は、画像コードバッファ902からの画像イベント603と描画アドレス604を認識し、所定の走査アルゴリズムに基づいて走査制御モードの選択と走査順番を決定する走査オーダニングを行う。尚、走査制御モードとは、ディスプレイ314のフレームレートと描画領域に応じて、ノンインタレース走査又はインタレース走査を選択することを示すものである。また、走査順番とは画像イベント603の内容に応じて描画の優先順位を定めることを示すものである。

【0071】次に、走査オーダニング部909の走査アルゴリズムについて、図17を用いて説明する。図17は本実施形態の走査オーダニング部の走査アルゴリズムを示すフローチャートである。尚、画像コード601の描画アドレス604は、画像イベント603に係わるア

ドレス情報であり、その成分はディスプレイ314上の2次元アドレス、いわゆる行アドレスと列アドレスの2種類からなる。この行アドレスはディスプレイ314に対して縦方向の位置を示し、列アドレスはディスプレイ314に対して横方向の位置を示す。また、行アドレスは走査アドレスに対応するもので、走査オーダニング部909は、この行アドレスから描画領域と位置を認識する。この認識された描画領域と位置に基づいて、走査オーダニングを行う。走査オーダニングでは、ノンインタレース最大本数 N_{max} の選択と、走査方式と描画イベント優先順位の選択を行う。

【0072】①ノンインタレース最大本数 N_{max} の選択
 ノンインタレース最大本数 N_{max} をディスプレイ314のフレームレート fF に応じて選択する(ステップS100)。フレームレート fF が10Hz以下である場合、ノンインタレース最大本数 N_{max} を256本に選択する(ステップS101)。フレームレート fF が10Hzより大きく20Hz以下である場合、ノンインタレース最大本数 N_{max} を512本に選択する(ステップS102)。フレームレート fF が20Hzより大きく30Hz以下である場合、ノンインタレース最大本数 N_{max} を768本に選択する(ステップS103)。フレームレート fF が30Hzより大きい場合、ノンインタレース最大本数 N_{max} を1024本に選択する(ステップS104)。

【0073】尚、このフレームレート fF は、ディスプレイI/Oポート911からCPU801を通して得る。また、選択されたノンインタレース最大本数 N_{max} は、走査方式と描画イベント優先順位の選択におけるパラメータとして用いられる。

②走査方式と描画イベント優先順位の選択

まず、描画イベントが発生したか否かを判断する(ステップS202)。描画イベントが発生した場合(ステップS200でYES)、ステップS201に進む。一方、描画イベントが発生していない場合(ステップS200でNO)、ステップS206に進み、全面インタレース走査を実行する。そして、リフレッシュ走査(全面インタレース走査)の描画アドレスを発生する(ステップS207)。

【0074】一方、描画イベントが発生した場合、その描画イベントが画像イベントとして、マウス、カーソル等のポインティングデバイスからであるか否かを判断する(ステップS201)。ポインティングデバイスからである場合(ステップS201でYES)、ステップS203に進み、部分ノンインタレース走査を実行する。一方、ポインティングデバイスからでない場合(ステップS201でNO)、ステップS202に進む。

【0075】ポインティングデバイスからでない場合、描画イベントの描画領域が上述の選択されたノンインタレース最大本数 N_{max} 以下であるか否かを判断する(ス

テップS202)。描画領域がノンインタレース最大本数 N_{max} 以下である場合(ステップS202でYES)、ステップS204に進み、部分ノンインタレース走査を実行する。一方、描画領域がノンインタレース最大本数 N_{max} より大きい場合(ステップS202でNO)、ステップS205に進み、部分インタレース走査を実行する。

【0076】以上説明した処理が、描画領域と位置に対する走査オーダニングで、これに加えて、画像変化スピードに対する走査オーダニングも、図17中の優先順位で示される。これは、画像変化スピードが高速な場合、または、特にディスプレイ314のフレームレート以上に描画イベントの発生が早くて、かつ複数の描画イベントが発生する場合、表示(動画)のスムージング性を考慮して描画イベントの走査オーダニングの優先順位を定めている。

【0077】例えば、ポインティングデバイスによる描画のような高速な画像変化において、その応答が速くなくてはならないので、走査オーダニングの優先順位を1番目にして高速応答に対応させている。また、縦走査方向において、ノンインタレース最大本数 N_{max} より大きい画像変化に対しては、走査オーダニングの優先順位を2番目にして比較的小さな画像の変化を吸収し表示のスムージング性に対応させている。また、ノンインタレース最大本数 N_{max} 以下の画像変化に対しては、走査オーダニングの優先順位を3番目にしている。また、描画イベントが発生しない画像変化に対しては、走査オーダニングの優先順位を4番目にしてリフレッシュ走査に対応させている。

【0078】以上説明した処理が、CPU801のソフト処理と走査オーダニング部909とが連動することによって実行される。つまり、画像コードから上述のような走査オーダニングで、部分インタレース走査/部分ノンインタレース走査と、リフレッシュ走査及びインタレース走査/ノンインタレース走査が選択、制御される。

【0079】ここで、走査方式とディスプレイ314の関係、特にインタレース走査とノンインタレース走査について説明を加える。本実施形態でのディスプレイ314のフレームレート fF は、30Hzを下回る低フレームレートであり、かつ以下に説明する温度特性を有している。ディスプレイ314の温度特性としては、周囲温度 $5^{\circ}\text{C} \sim 35^{\circ}\text{C}$ において、フレームレート fF は、約 $5\text{Hz} \leq fF \leq 20\text{Hz}$ と変化する。そのため、ディスプレイ314におけるノンインタレース最大本数 N_{max} を周囲温度に応じてダイナミックに変化させる必要がある。

【0080】尚、最大でも20Hzという低フレームレートのディスプレイにおいて、通常のCRTや他のLCD等のディスプレイにおけるノンインタレース走査を行うと、フリッカや走査ビート模様が視認されて表示品位が著しく劣悪となる。これを解決する手段として、これ

までにフィールド周波数を上げてフリッカレスとビートレスにできる n 本インタレース走査($n=2, 3, 4, \dots$)や n 本ランダムインタレース走査が提案されてきている。特に、FLCDにおいては、透過光量のメモリ性の効果も含めて、フィールド周波数約30Hz以上でフリッカレス化の効果が確認されている。一方、ディスプレイに用いる走査は、一般に動画や画像更新がスムーズな表示となるノンインタレース走査が望ましいとされている。

【0081】このような2つの観点から、本実施形態の走査オーダニングでは、部分走査と全面走査に対し、フィールドだけノンインタレース走査での動画の描画となるように、ノンインタレース最大本数 N_{max} を基準にした画像イベントの内容に応じてノンインタレース走査/インタレース走査の走査制御を行っている。走査アドレス発生部908は、走査オーダニング部909で設定した走査順番の描画アドレスを入力する。そして、その描画アドレスを解釈して、ハーフトーニングフレームバッファ906の行アドレス(ディスプレイ走査アドレス)に対応する実際の走査アドレスを発生する。

【0082】次に、走査アドレス発生部908の走査アドレス発生アルゴリズムについて、図18を用いて説明する。図18は本実施形態の走査アドレス発生部の走査アドレス発生アルゴリズムを示すフローチャートである。まず、描画アドレスを入力する(ステップS301)。次に、描画アドレスは描画領域の座標情報を示すものであるため、その描画領域の始点アドレスと終点アドレスを抽出する(ステップS302)。次に、始点アドレスを先頭として、実際の走査アドレスを発生する(ステップS303)。

【0083】発生した走査アドレスを、ハーフトーニングピクセルデータアクセス部907を通してハーフトーニングフレームバッファ制御部905へ転送する。また、データフォーマット910へ転送する(ステップS304)。1走査分の描画処理が終了したか否かを判断する(ステップS305)。1走査分の描画処理が終了していない場合(ステップS305でNO)、終了するまで待機する。一方、1走査分の描画処理が終了した場合(ステップS305でYES)、ステップS306に進む。

【0084】走査アドレスを1つインクリメントして、次の走査アドレスを発生し、その発生した走査アドレスに対しステップS301～ステップS305で説明した処理を実行する。次に、その走査アドレスが終点アドレスであるか否かを判断する(ステップS307)。終点アドレスでない場合(ステップS307でNO)、ステップS303に戻る。一方、終点アドレスである場合(ステップS307でYES)、ステップS301に戻る。

【0085】以上説明した処理が、CPU801のソフ

ト処理と走査アドレス発生部908が連動することによって実行される。つまり、走査アドレス発生と転送が行われる。走査アドレスのデータ構成は、A0～A15の8bitパラレル2段となっており、この構成で走査アドレスがハーフトーニングピクセルデータアクセス部907とデータフォーマット711へ転送される。尚、本実施形態では、走査アドレスは1024なので、有効データはD0～D9までとなる。

【0086】ハーフトーニングピクセルデータアクセス部907は、ディスプレイ通信制御部805からの1走査毎のデータリクエスト信号のタイミングで、ハーフトーニングフレームメモリ制御部905へ走査アドレスを出力する。そして、その走査アドレスに対応するハーフトーニングピクセルデータを受け付けて、次段のデータフォーマット910へ転送する。同時に、走査アドレスもデータフォーマット910へ転送する。

【0087】次に、ハーフトーニングピクセルデータアクセス部907におけるデータリクエストアルゴリズムについて、図19を用いて説明する。図19は本実施形態のハーフトーニングピクセルデータアクセス部におけるデータリクエストアルゴリズムを示すフローチャートである。まず、データリクエスト信号がアクティブ(データ要求状態)か否かを検知する(ステップS401)。アクティブでない場合(ステップS401でNO)、アクティブになるまで待機する。一方、アクティブである場合(ステップS401でYES)、ステップS402に進む。

【0088】データリクエスト信号がアクティブである場合、まず、走査アドレスを出力する(ステップS402)。次に、ハーフトーニングピクセルデータを入力し、データフォーマット910へ転送する(ステップS403)。そして、再び、ステップS401に戻る。次に、ディスプレイ通信制御部805の詳細な構成について説明する。

【0089】ディスプレイ通信制御部805は、データフォーマット910、ディスプレイI/O911で構成される。データフォーマット910は、ディスプレイ314へ走査アドレスとハーフトーニングピクセルデータを転送する上で、ディスプレイ通信プロトコルに定められたデータ並びにするように、データ列のフォーマット化を行う。ここで、フォーマット化する走査アドレスとハーフトーニングピクセルデータのデータフォーマットについて、図20を用いて説明する。

【0090】図20は本実施形態のフォーマット化した走査アドレスとハーフトーニングピクセルデータのデータフォーマットを示す図である。図20に示すように、データフォーマットは、走査アドレスをヘッダにして、それに対応するハーフトーニングピクセルデータを同一信号線上に続けて並べた構成としている。尚、本実施形態においては、より詳しくは12bitデータバス上に

走査アドレス12bitデータを先頭に並べ、続いて1絵素目の各4値RGBデータを下位bitに並べ、4絵素目の各4値RGBデータを上位6bitに並べている(4値→2bitデータを指す)。このようなデータ並びのデータユニットを、データフォーマット910で発生する。

【0091】ディスプレイI/Oポート911は、後述する通信モードに用いられるディスプレイモードデータの格納機能と通信制御機能と入出力ポート機能を備え、ディスプレイ314に対して、制御線と上述の12bitデータバスを用いてディスプレイモードデータを送受信する。尚、ディスプレイI/Oポート911における通信モードは、ディスプレイ仕様と動作状態を知るリクエストモードと、ディスプレイの各部のON/OFF等を制御する制御モードと、描画するためのデータを転送する描画データ転送モードの3種に大別される。

【0092】リクエストモードは、ディスプレイを制御する通信動作であり、以下に説明する動作を実行する。つまり、ディスプレイ314の解像度、表示色数、データフォーマットモード、データ転送スピード、電源とバックライトの制御方式等のディスプレイ仕様を示すディスプレイ仕様情報と、フレームレートバックライトステータス、電源ステータス、画質調整ステータス等の動作状態を示す動作状態情報を入力する。そして、これら入力したディスプレイ仕様情報と動作状態情報をディスプレイデータとして格納する。尚、このリクエストモードにおけるディスプレイモードデータは、CPU801が参照するディスプレイサーバの各種構成要素の制御パラメータとして用いられる。

【0093】制御モードは、ディスプレイ314の電源ON/OFF、バックライトON/OFF、描画データ転送ON/OFFを制御する通信動作である。描画データ転送モードは、データリクエスト信号に応じて走査アドレスとハーフトニングピクセルデータのデータユニットを転送する通信動作である。次に、ディスプレイI/Oポート911に用いられる信号線について、図21を用いて説明する。

【0094】図21は本実施形態のディスプレイI/Oポートに用いられる信号線の構成を示す図である。ディスプレイI/Oポート911には、制御線と描画データ転送線がある。制御線はディスプレイ314の動作をリセットさせるリセット信号RESETと、ディスプレイ仕様や動作状態をデータリードしたり、ON/OFF制御するデータライトするリード/ライト信号R/Wと、リード/ライト時のアドレスとデータが送受信されるシリアルデータ信号SDATAと、これら信号の転送クロック信号CLKで構成される。また、制御線は、上述したように、リクエストモードと制御モードの通信モード時に用いられる。

【0095】描画データ転送線は、データリクエスト信

号REQ、描画データの走査アドレスであるか、あるいはハーフトニングピクセルデータであるかを識別する識別信号A/D、12bitの描画データバスPDATAで構成される。また、描画データ転送線は、上述したように、描画データ転送モードの通信モード時に動作に用いられる。

【0096】次に、ディスプレイI/Oポート911とディスプレイ314間の通信アルゴリズムについて、図22を用いて説明する。図22は本実施形態のディスプレイI/Oポートとディスプレイ間の通信アルゴリズムを示すフローチャートである。まず、リクエストモードでディスプレイ情報を入手する(ステップS501)次に、通信において、何らかの異常がないか否かを判断する(ステップS502)。何らかの異常、例えば、何の応答もないとか、ハード上のトラブルがあった場合(ステップS502でNO)、ステップS505に進み、異常時の制御モードを実行する。具体的には、通信ストップして異常状態のディスプレイモードデータを格納する。一方、何らかの異常がない場合(ステップS502でYES)、ステップS503に進み、通常の制御モード(バックライトONして、フレームレートの画質調整状態モニタリング)を実行する。同時に、描画データ転送モードを実行する(ステップS504)。

【0097】以上説明したように、本実施形態によれば、画像イベントを選択情報として、中間調プロセッサ904における演算パラメータを選択し、画像イベントの特性に応じて疑似中間調画像データを発生することができる。そのため、特に、階調性能の劣るディスプレイにおいても、テキスト(文字・線分など)はより鮮明に自然画は滑らかにそれぞれ表示することができる。つまり、テキストの視認性と自然画の色再現性のよい表示を同一画面上で実現することができる。

【0098】尚、上記実施形態においては、単純に画像イベントの内容をテキストと自然画のいずれかに識別して、画像イベントの内容に応じて、画像イベントに対し最適な画像処理を施す例を示したが、これに限らない。例えば、各画像イベントに対し、演算パラメータを設定して、より細かく画像に最適な画像処理を施すことも可能である。例えば、文字・線分などのテキストを有する画像イベントを、更にその文字の色やフォント、線分の種類等を演算パラメータとして設定して、その設定した演算パラメータに対し最適な画像処理を施しても良い。

【0099】また、画像情報をコード化したパケットデータで通信するクライアント/サーバ型表示端末装置を例に挙げて説明したが、これに限らない。例えば、画像情報をコード化した形態で通信/受信する表示端末装置であれば、本発明は適用可能である。例えば、グラフィック処理言語であるディスプレイポストスクリプトで記述されたデータを画像情報として入力して表示するポストスクリプトディスプレイ装置において(尚、ディス

レイポストスクリプトはAdobe Systems社の商品名)、グラフィック処理言語を翻訳・展開して描画データを発生する処理過程で、画像イベントを認識し、その認識した画像イベントに対し最適な画像処理を施しても良い。ここで、本発明を適用可能なポストスクリプトディスプレイ装置の構成例を、図23に示す。

【0100】図23は本発明を適用可能なポストスクリプトディスプレイ装置の構成例を示す図である。図23では、コンピュータ本体からパラレル通信IFを通して、ディスプレイポストスクリプトデータを受信する例を示している。また、ディスプレイポストスクリプトを翻訳するプログラムはディスプレイポストスクリプトインタプリタROMに格納している例を示している。

【0101】また、このようなポストスクリプトディスプレイ装置における画像処理の動作について、図24を用いて説明する。図24は図23に示すポストスクリプトディスプレイ装置における画像処理の動作を説明するための図である。図24に示すように、まず、コンピュータ本体から、ディスプレイポストスクリプトデータを入力する。次に、ディスプレイポストスクリプトインタプリタROMに格納されているプログラムに準じて、CPUがディスプレイのハードウェアに適合した描画データに翻訳する。翻訳した描画データから、実際に2次元画像データにラスター変換し、同時に画像イベントを認識する。この認識された画像イベントに応じて、演算パラメータを選択する。次に、ラスター変換された画像データを選択された演算パラメータで疑似中間調画像処理して2値化画像データを発生する。

【0102】尚、本発明は、複数の機器(例えば、ホストコンピュータ、インタフェース機器、リーダ、プリンタ等)から構成されるシステムに適用しても、一つの機器からなる装置(例えば、複写機、ファクシミリ装置等)に適用してもよい。また、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ(またはCPUやMPU)が記憶媒体に格納されたプログラムコードを読み出し実行することによっても、達成されることは言うまでもない。

【0103】この場合、記憶媒体から読出されたプログラムコード自体が上述した実施の形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。プログラムコードを供給するための記憶媒体としては、例えば、フロッピーディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモリカード、ROMなどを用いることができる。

【0104】また、コンピュータが読出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示

に基づき、コンピュータ上で稼働しているOS(オペレーティングシステム)などが実際の処理の一部または全部を行い、その処理によって前述した実施の形態の機能が実現される場合も含まれることは言うまでもない。

【0105】更に、記憶媒体から読出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込まれた後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0106】本発明を上記記憶媒体に適用する場合、その記憶媒体には、先に説明したフローチャートに対応するプログラムコードを格納することになるが、簡単に説明すると、図25のメモリマップ例に示す各モジュールを記憶媒体に格納することになる。すなわち、少なくとも「識別モジュール」、「画像処理モジュール」および「出力モジュール」の各モジュールのプログラムコードを記憶媒体に格納すればよい。

【0107】尚、「識別モジュール」は、入力された画像データの内容を識別する。「画像処理モジュール」は、識別された画像データの内容に基づく疑似中間調処理を該画像データに施す。「出力モジュール」は、処理された画像データを表示部に出力する。

【0108】

【発明の効果】以上説明したように、本発明によれば、階調性能の低いディスプレイにおいて、画像データの内容に応じて視認性と色再現性を向上することができる表示制御装置及びその方法を提供できる。

【図面の簡単な説明】

【図1】従来のアナログビデオインタフェースシステムの構成を示す図である。

【図2】従来のデジタルビデオインタフェースシステムの構成を示す図である。

【図3】本発明が適用されるクライアント・サーバ型表示端末装置の構成を示すブロック図である。

【図4】本実施形態のディスプレイサーバの機能構成を示す図である。

【図5】本実施形態の可変長バケットデータの構成を示す図である。

【図6】本実施形態の描画演算データの構成を示す図である。

【図7】本実施形態のラスター変換部の詳細な構成を示すブロック図である。

【図8】本実施形態のディスプレイIFの詳細な構成を示すブロック図である。

【図9】本実施形態のディスプレイIFの各種構成要素の詳細な構成を示す図である。

【図10】本実施形態の画像コードバッファの詳細な動

作を示す図である。

【図 1 1】本実施形態の画像処理方式における演算パラメータを説明するための図である。

【図 1 2】本実施形態の中間調プロセッサの詳細な構成を示す図である。

【図 1 3】本実施形態の誤差拡散プロセッシング部による演算を説明するための図である。

【図 1 4】本実施形態のハーフトニングフレームバッファ制御部の詳細な構成を示す図である。

【図 1 5】本実施形態のハーフトニングフレームバッファの詳細な構成を示す図である。

【図 1 6】本実施形態のハーフトニングフレームバッファの入出力ポートへのアクセスフォーマットを示す図である。

【図 1 7】本実施形態の走査オーダニング部の走査アルゴリズムを示すフローチャートである。

【図 1 8】本実施形態の走査アドレス発生部の走査アドレス発生アルゴリズムを示すフローチャートである。

【図 1 9】本実施形態のハーフトニングピクセルデータアクセス部におけるデータリクエストアルゴリズムを示すフローチャートである。

【図 2 0】本実施形態のフォーマット化した走査アドレスとハーフトニングピクセルデータのデータフォーマットを示す図である。

ットを示す図である。

【図 2 1】本実施形態のディスプレイ I/O ポートに用いられる信号線の構成を示す図である。

【図 2 2】本実施形態のディスプレイ I/O ポートとディスプレイ間の通信アルゴリズムを示すフローチャートである。

【図 2 3】本発明を適用可能なポストスクリプトディスプレイ装置の構成例を示す図である。

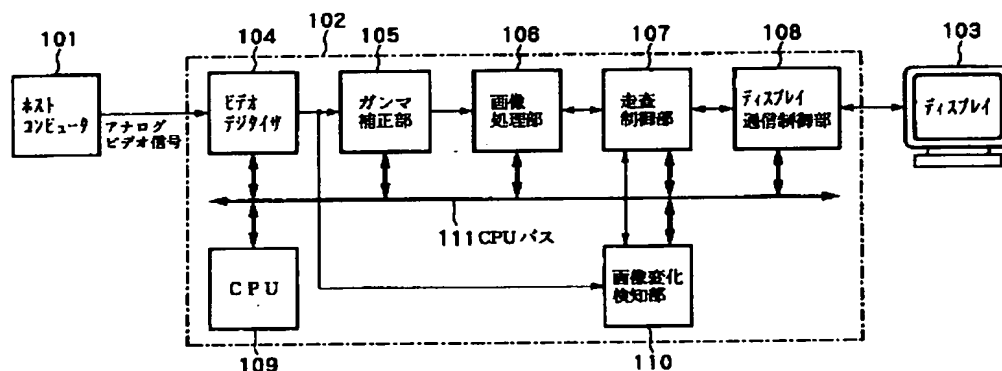
【図 2 4】図 2 3 に示すポストスクリプトディスプレイ装置における画像処理の動作を説明するための図である。

【図 2 5】本発明の実施形態を実現するプログラムコードを格納した記憶媒体のメモリマップの構造を示す図である。

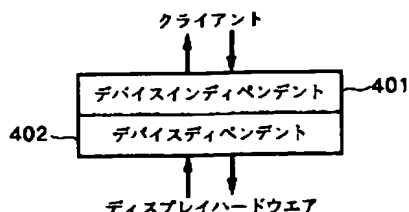
【符号の説明】

- 301 LAN
- 302 LAN インタフェース
- 303 セットアップメモリ
- 304 フォントメモリ
- 305 シリアル通信 I/F
- 306 マウス
- 307 キーボード
- 308 サーバメモリ

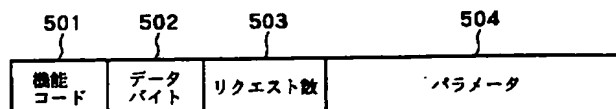
【図 1】



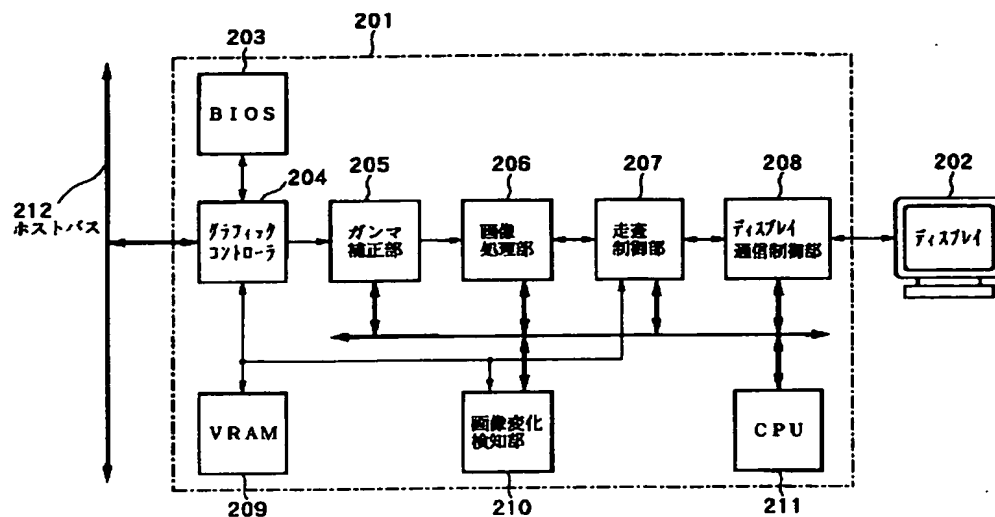
【図 4】



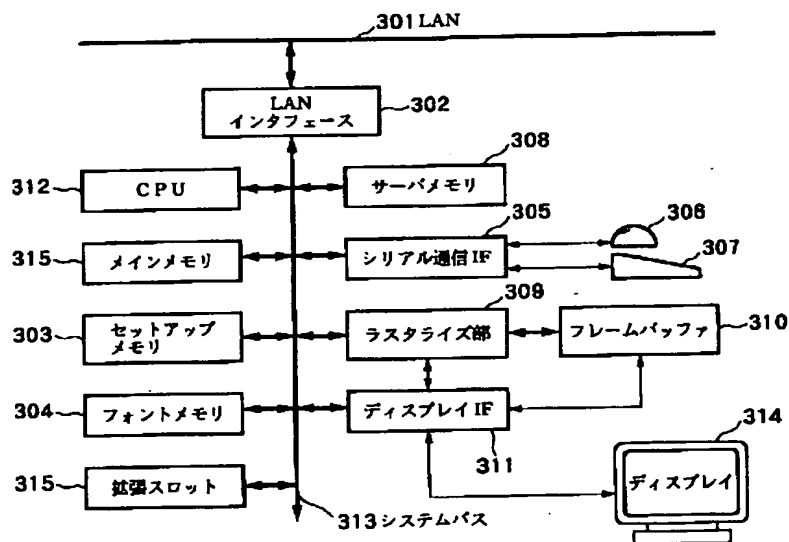
【図 5】



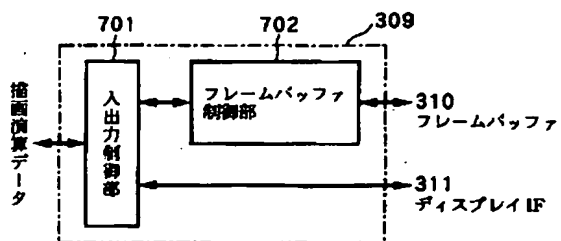
【図 2】



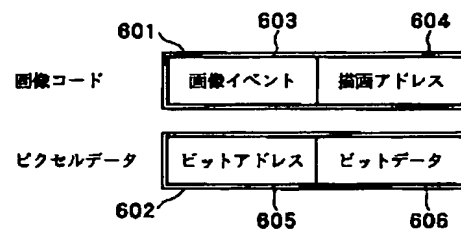
【図 3】



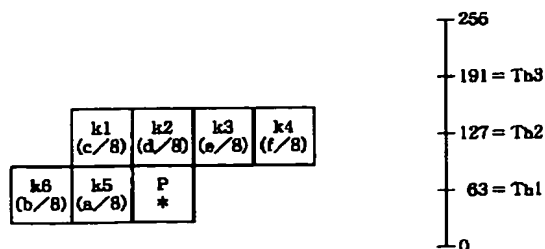
【図 7】



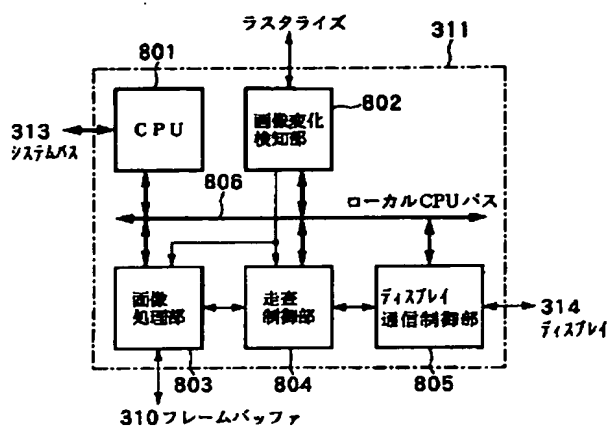
【図 6】



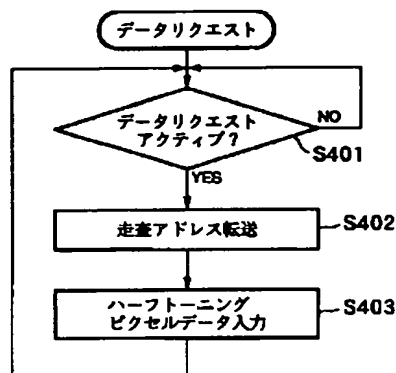
【図 13】



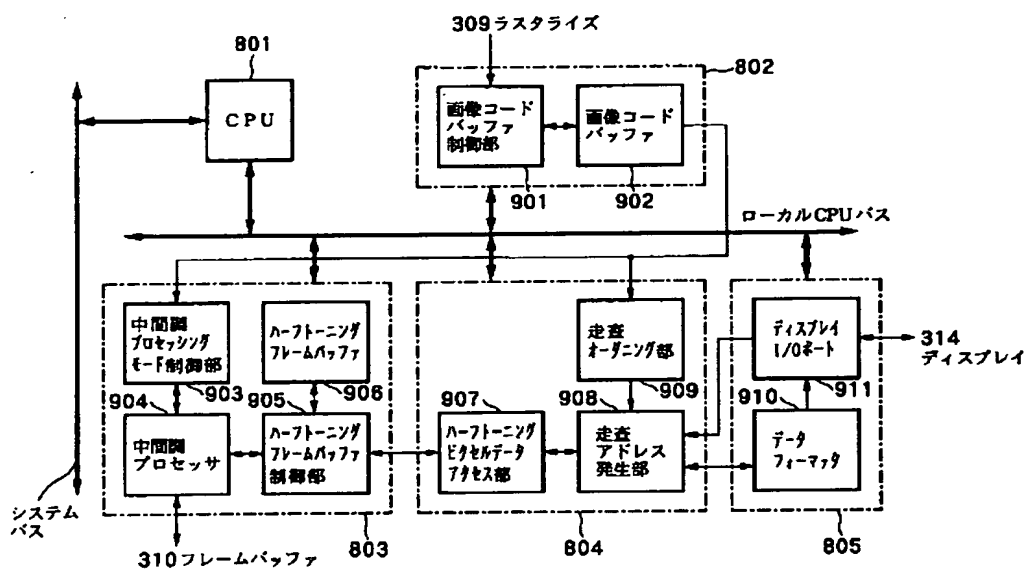
【図8】



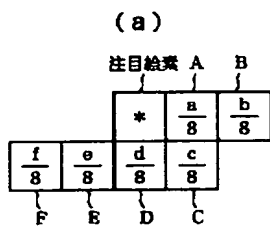
【図19】



【図9】



【図11】



(b)

	a	b	c	d	e	f
テキスト	3	0	1	3	1	0
自然画	2	1	1	2	1	1

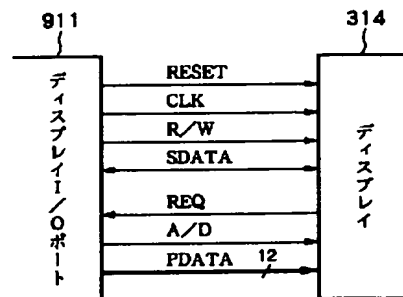
(c)

0	8	2	10
12	4	14	8
3	11	1	9
15	7	13	5

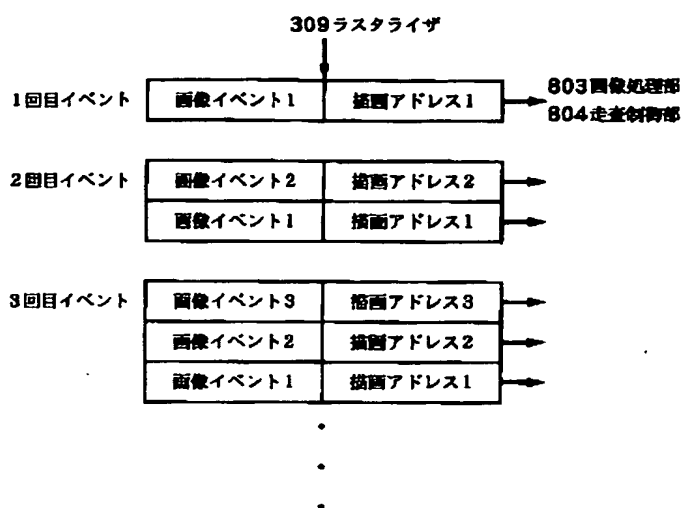
(d)

0	28	8	36	2	30	10	38
52	16	44	20	54	18	46	22
12	40	4	32	14	42	6	34
60	48	56	24	62	50	58	26
9	31	11	39	1	29	9	37
56	19	47	23	53	17	45	21
15	49	7	35	13	41	5	33
63	51	59	27	61	49	57	25

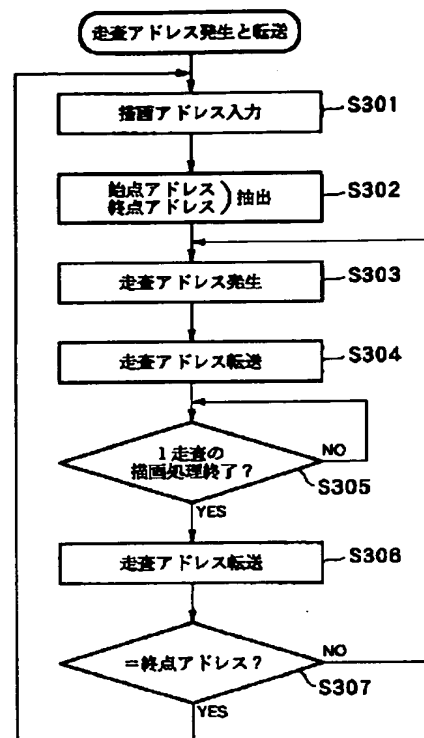
【図21】



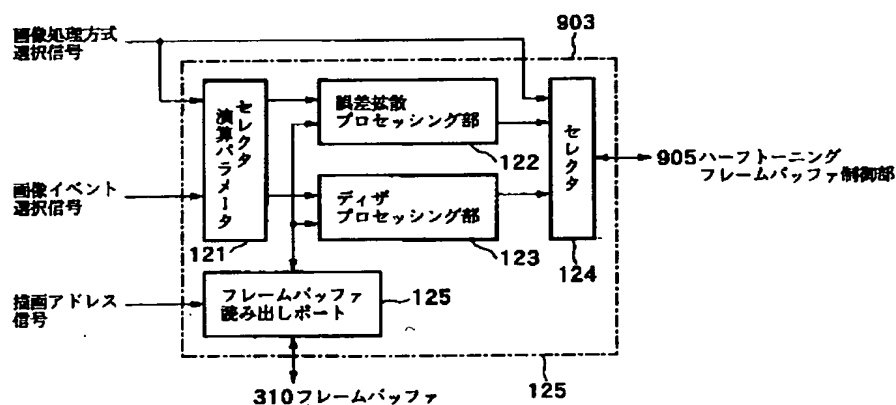
【図10】



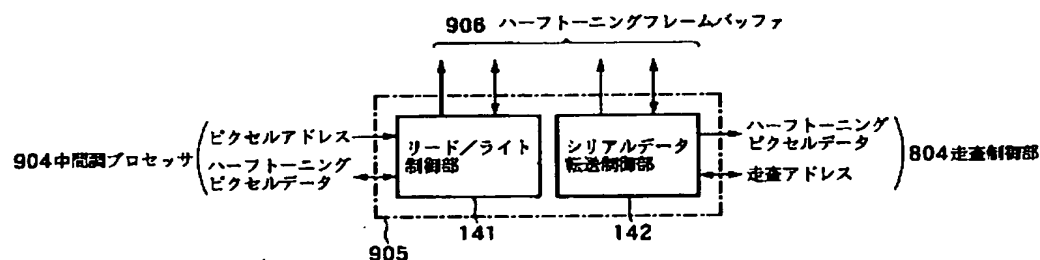
【図18】



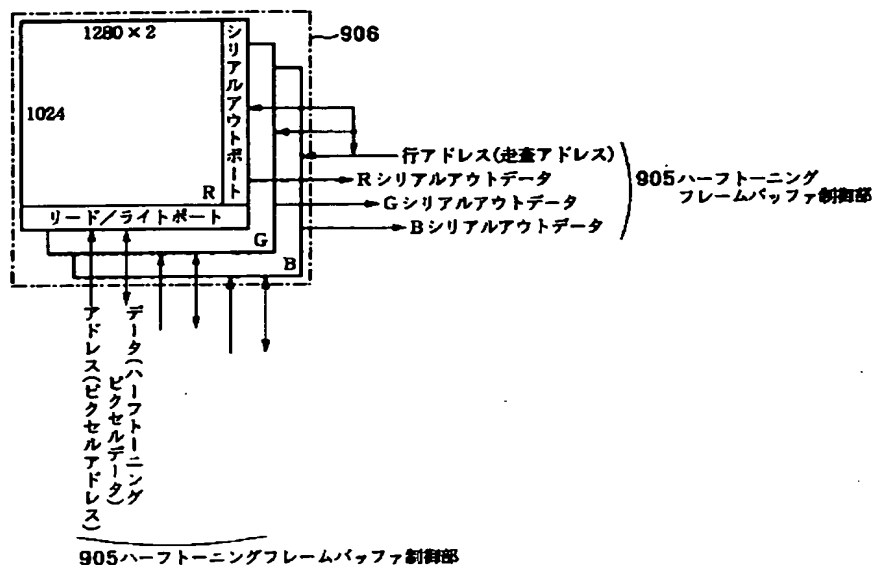
【図12】



【図14】



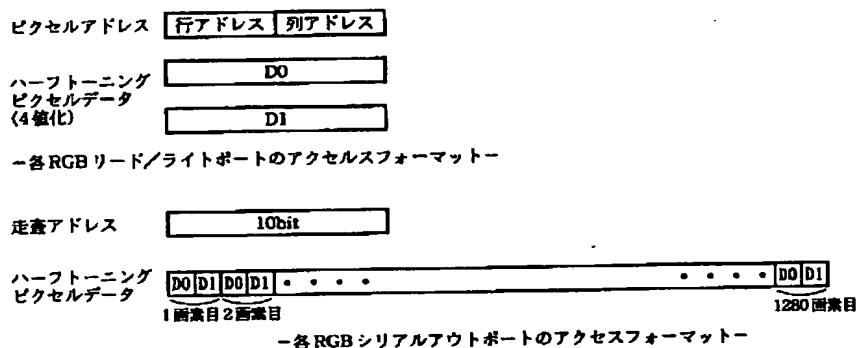
【図15】



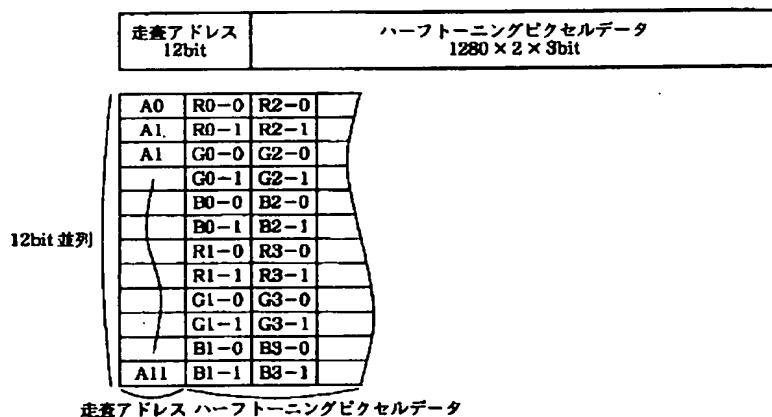
【図25】

ディレクトリ
識別モジュール
画像処理モジュール
出力モジュール

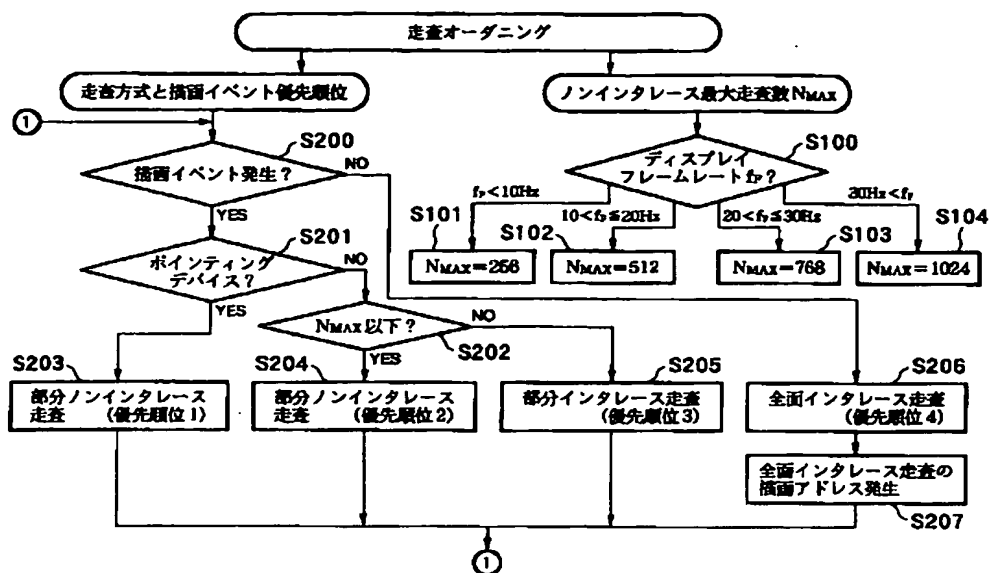
【図16】



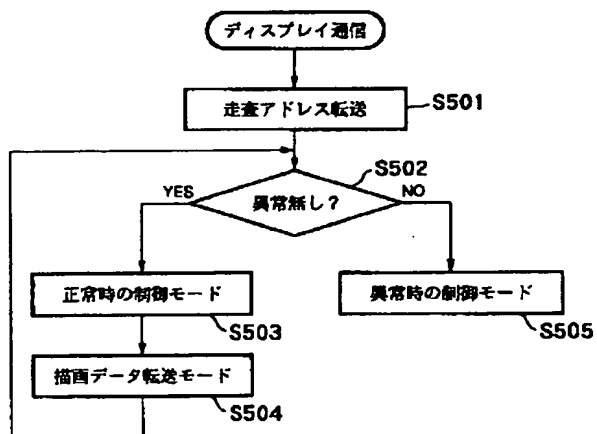
【図20】



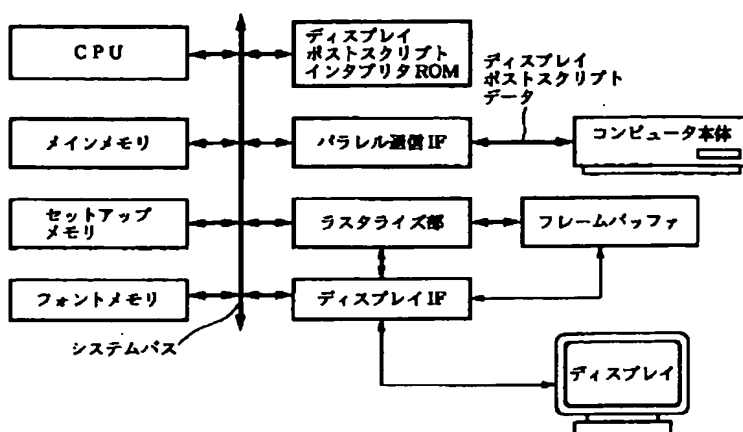
【図17】



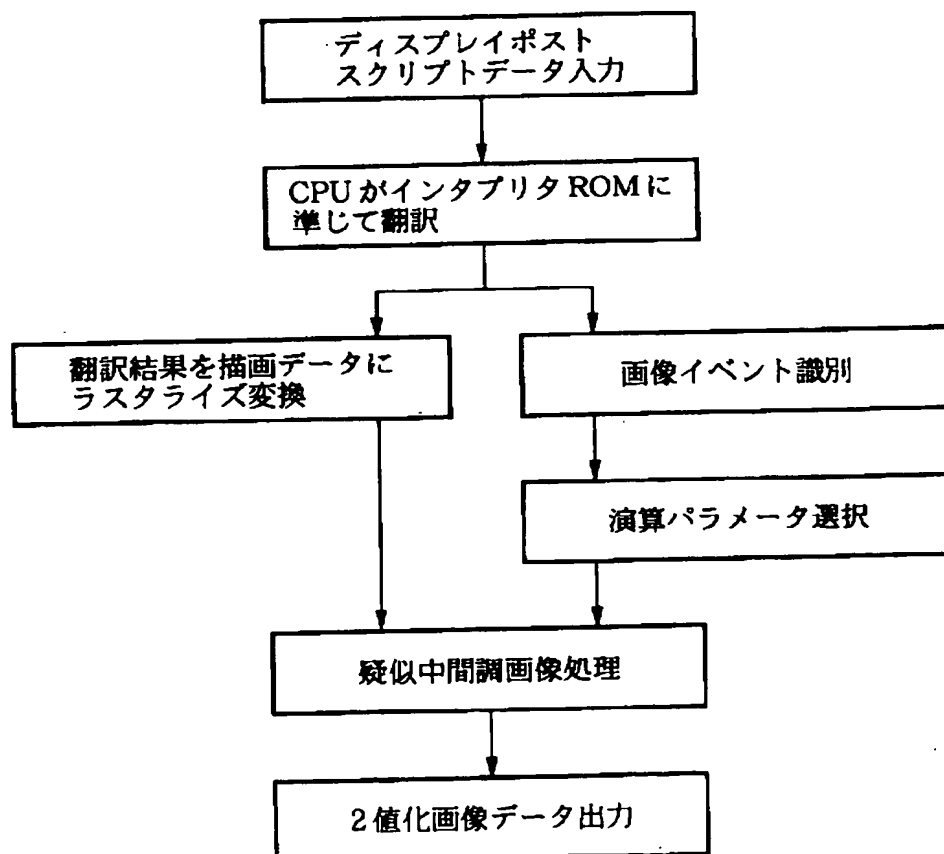
【図22】



【図23】



【図24】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.